

CLIPPEDIMAGE= JP405175280A

PAT-NO: JP405175280A

DOCUMENT-IDENTIFIER: JP 05175280 A

TITLE: PACKAGING STRUCTURE OF SEMICONDUCTOR DEVICE AND  
METHOD OF PACKAGING

PUBN-DATE: July 13, 1993

INVENTOR-INFORMATION:

NAME

TANAKA, OSAMU

ASSIGNEE-INFORMATION:

NAME

ROHM CO LTD

COUNTRY

N/A

APPL-NO: JP03355877

APPL-DATE: December 20, 1991

INT-CL (IPC): H01L021/60;H01L021/52

US-CL-CURRENT: 361/764

ABSTRACT:

PURPOSE: To facilitate the arrangement of an integrated circuit on a circuit board by a method wherein the connection of a wiring pattern with bump electrodes is made in such a way that the bump electrodes penetrate an adhesive thermosetting thin film member covering the wiring pattern and holding of the integrated circuit on the circuit board is performed in such a way that it is conducted by the hardening force of the thin film member.

CONSTITUTION: A wiring pattern 2 on a circuit board 1 and bump electrodes 5 on an integrated circuit 4 are made to oppose to each other and are connected with

each other. In a packaging structure for such a semiconductor device, the connection of the pattern 2 with the electrodes 5 is made in such a way that the bump electrodes 5 penetrate an adhesive thermosetting thin film member 3 covering the the pattern 2. Holding of the circuit 4 on the board 1 is performed in such a way that it is conducted by the hardening force of the member 3. For example, an adhesive thermosetting thin film member 3 is adhered on a circuit board 1 and bump electrodes 5 on an integrated circuit 4 are connected to a wiring pattern 2 in such a way that the electrodes 5 penetrate the member 3. Then, the member 3 is hardened to hold the circuit 4 on the circuit board 1.

COPYRIGHT: (C)1993, JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-175280

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl.<sup>5</sup>

H 01 L 21/60  
21/52

識別記号 庁内整理番号

311 S 6918-4M  
H 9055-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 2(全 3 頁)

(21)出願番号 特願平3-355877

(22)出願日 平成3年(1991)12月20日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 田中 治

京都府京都市右京区西院溝崎町21番地 ロ

ーム株式会社内

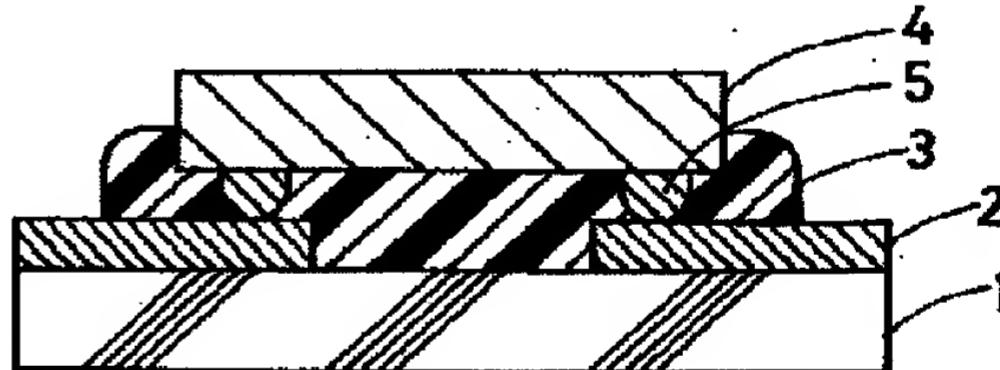
(74)代理人 弁理士 曽々木 太郎

(54)【発明の名称】 半導体装置の実装構造および実装方法

(57)【要約】

【目的】 回路基板上に集積回路の配設が容易になしる半導体装置の実装構造および実装方法を提供する。

【構成】 本発明の半導体装置の実装構造は、回路基板1上の配線パターン2と集積回路4の突起電極5とを対向させて接続してなる半導体装置の実装構造であって、前記配線パターン2と前記突起電極5との接続が、前記配線パターン2を覆っている粘着性熱硬化性薄膜部材3を貫通してなされ、前記集積回路4の前記回路基板1上への保持が、前記粘着性硬化性薄膜部材3の硬化力によりなされてなるものである。また、本発明の半導体装置の実装方法は、回路基板1上の配線パターン2に集積回路4の突起電極5を対向させて接続する半導体装置の実装方法であって、回路基板1上に配線パターン2を覆つて粘着性硬化性薄膜部材3を貼付し、前記粘着性硬化性薄膜部材3を貫通して、前記集積回路4の突起電極5を前記配線パターンに接続し、前記粘着性硬化性薄膜部材3を硬化させて前記集積回路4を前記回路基板1に保持するものである。



1

2

## 【特許請求の範囲】

【請求項1】回路基板上の配線パターンと集積回路の突起電極とを対向させて接続してなる半導体装置の実装構造であって、前記配線パターンと前記突起電極との接続が、前記配線パターンを覆っている粘着性熱硬化性薄膜部材を貫通してなされ、前記集積回路の前記回路基板上への保持が、前記粘着性硬化性薄膜部材の硬化力によりなされてなることを特徴とする半導体装置の実装構造。

【請求項2】回路基板上の配線パターンに集積回路の突起電極を対向させて接続する半導体装置の実装方法であって、回路基板上に配線パターンを覆って粘着性硬化性薄膜部材を貼付し、前記粘着性硬化性薄膜部材を貫通して、前記集積回路の突起電極を前記配線パターンに接続し、前記粘着性硬化性薄膜部材を硬化させて前記集積回路を前記回路基板に保持することを特徴とする半導体装置の実装方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体装置の実装構造および実装方法に関する。

## 【0002】

【従来の技術】従来より半導体装置の実装構造および実装方法として、図5や図6に示すように回路基板11上の配線パターン12内に配設された液状接着剤13Aやシート状接着剤13Bにより集積回路14を回路基板11に保持することが行われている。

【0003】しかしながら、液状接着剤13Aによる保持の場合は、液状であるため接着剤13Aがタレたり、よごれたり、広がったりするので、その配置位置のコントロールが困難であるという問題がある。また、接着部の掃除等が必要であり、メンテナンスが面倒であるという問題もある。

【0004】また、シート状接着剤13Bによる保持の場合は、シート状接着剤13Bが誤って配線パターン12上に配置されると、接着剤13B内にコアとして配設されているガラスファイバー、フィルムや紙などにより、突起電極15と配線パターン12との接続が阻害され接続不良となる。そのため、シート状接着剤13Bは、配線パターン12内に納まる形状に加工する必要があり、かつ、その貼付は配線パターン内に納まるよう慎重に行う必要があり(図7参照)、作業能率の低下の原因となっている。

## 【0005】

【発明が解決しようとする課題】本発明はかかる従来技術の問題点に鑑みなされたものであって、回路基板上に集積回路の配設が容易になしうる半導体装置の実装構造

および実装方法を提供することを目的とする。

## 【0006】

【課題を解決するための手段】本発明の半導体装置の実装構造は、回路基板上の配線パターンと集積回路の突起電極とを対向させて接続してなる半導体装置の実装構造であって、前記配線パターンと前記突起電極との接続が、前記配線パターンを覆っている粘着性熱硬化性薄膜部材を貫通してなされ、前記集積回路の前記回路基板上への保持が、前記粘着性硬化性薄膜部材の硬化力によりなされてなることを特徴としている。

【0007】また、本発明の半導体装置の実装方法は、回路基板上の配線パターンに集積回路の突起電極を対向させて接続する半導体装置の実装方法であって、回路基板上に配線パターンを覆って粘着性硬化性薄膜部材を貼付し、前記粘着性硬化性薄膜部材を貫通して、前記集積回路の突起電極を前記配線パターンに接続し、前記粘着性硬化性薄膜部材を硬化させて前記集積回路を前記回路基板に保持することを特徴としている。

## 【0008】

【作用】本発明の半導体装置の実装構造および実装方法によれば、突起電極が配線パターン上に配設された粘着性硬化性薄膜部材を貫通して配線パターンと接続しているので、粘着性硬化性薄膜部材を配線パターン内に配置する必要もなく、また、その形状も配線パターン内に納まるものとする必要もない。

## 【0009】

【実施例】以下、添付図面を参照しながら本発明を説明する。

【0010】図1～4は本発明の実装工程の説明図である。図において、1は回路基板、2は配線パターン、3は粘着性硬化性薄膜部材、4は集積回路、5は突起電極を示す。

【0011】回路基板1、配線パターン2、集積回路4および突起電極5は従来と同様であるので、その構成の詳細な説明は省略する。

【0012】粘着性硬化性薄膜部材3は、熱硬化性エポキシ樹脂や光硬化性UV樹脂をフィルム状に加工した材料などからなる。この薄膜部材3は、突起電極5がこの薄膜部材3を貫通して配線パターン2と接触できるように、フィルムやガラスファイバーなどからなるコア材を有していない。そのサイズは配線パターン2および集積回路4のサイズに応じて適宜決定されるが、図2に示すごとく、配線パターン2を覆うことのできるサイズとするのが好ましい。また、その膜厚は突起電極5がこの薄膜部材3を貫通して配線パターン2と接触できるように選定すればよい。具体的には、突起電極5の突起がら～30μmの場合は、膜厚を7～50μm程度とすればよい。

【0013】以下、図1～4に基づいて本発明の実装方法について説明する。

3

【0014】ステップ1：粘着性硬化性薄膜部材3を配線パターン2上に貼付する。（図1参照）

この薄膜部材3サイズを集積回路4より相当程度大きくしておけば、貼付位置が多少ずれたとしても集積回路4の実装に問題を生ずることはない。（図2参照）

【0015】ステップ2：集積回路4を回路基板1に押圧し、突起電極5を薄膜部材3を貫通させて、配線パターン2と接触させる。（図3参照）

【0016】ステップ3：薄膜部材3を硬化させ、集積回路4を回路基板1に固定、保持させるとともに、突起電極5と配線パターン2とのオーミックコンタクトを確保する。（図4参照）

硬化は薄膜部材3として熱硬化性エポキシ樹脂を用いた場合は、加熱により、また光硬化性UV樹脂を用いた場合は、紫外線ランプにより行う。

【0017】

【発明の効果】以上説明したように本発明によれば、粘着性硬化性薄膜部材の貼付けの際の裕度が大きいので、作業が容易となり作業性が向上する。また、粘着性硬化性薄膜部材は、コアを有していないので、突起電極と配

10 20

線パターンとの接続不良を生ずることもない。

【図面の簡単な説明】

【図1】回路基板上に集積回路をセットした状態の説明図である。

【図2】回路基板上の配線パターンを覆って粘着性硬化性薄膜部材を貼付した状態の説明図である。

【図3】回路基板上に集積回路を押圧した状態の説明図である。

【図4】粘着性硬化性薄膜部材を硬化させた状態の説明図である。

【図5】従来の固定方法の一例の説明図である。

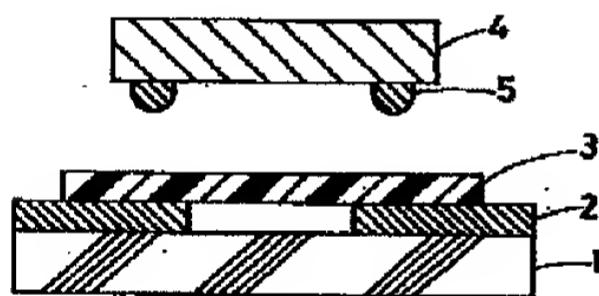
【図6】従来の固定方法の他の例の説明図である。

【図7】図6におけるシート状接着剤の回路基板上の貼付状態の説明図である。

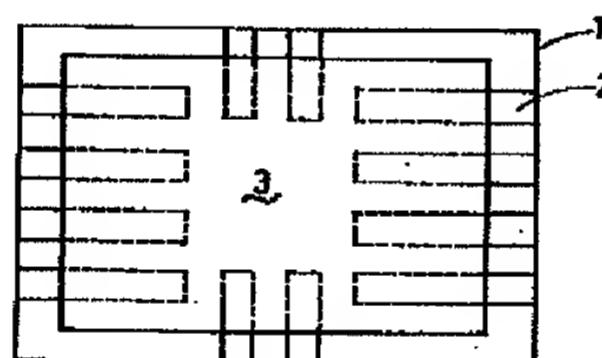
【符号の説明】

- 1 回路基板
- 2 配線パターン
- 3 粘着性硬化性薄膜部材
- 4 集積回路
- 5 突起電極

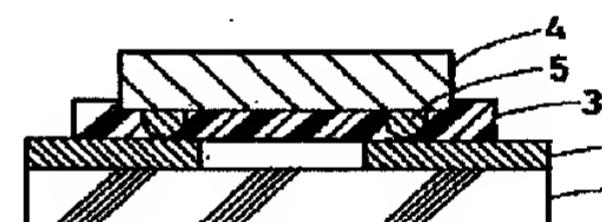
【図1】



【図2】



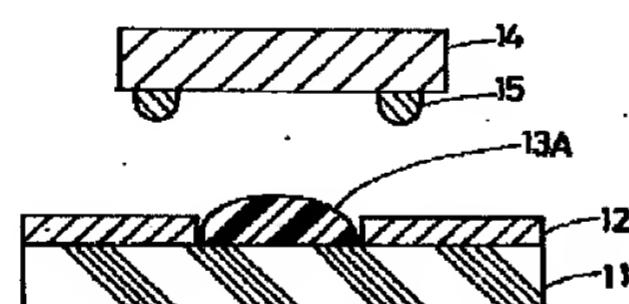
【図3】



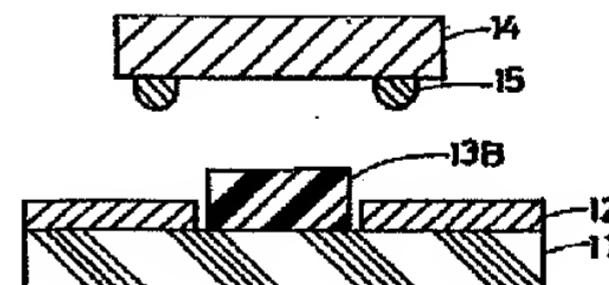
【図4】



【図5】



【図6】



【図7】

